

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-012188

(43)Date of publication of application : 13.01.2005

---

(51)Int.Cl. H01L 33/00

---

(21)Application number : 2004-146109 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.05.2004 (72)Inventor : TAMURA SATOYUKI  
UEDA TETSUZO

---

(30)Priority

Priority number : 2003144480 Priority date : 22.05.2003 Priority country : JP

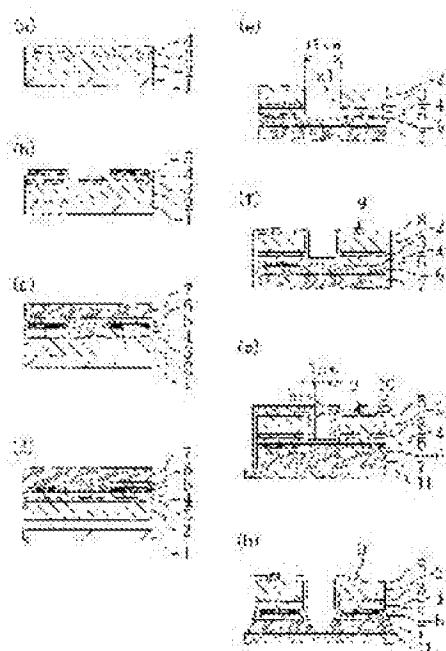
---

## (54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a semiconductor device capable of preventing the decrease of yield wherein the semiconductor device can be separated into a plurality of semiconductor devices.

SOLUTION: In this manufacturing method for the semiconductor device, a semiconductor layer including an active layer is formed on a base material substrate. Then, a metal layer is formed on the semiconductor layer. Then, the base material substrate is separated from the semiconductor layer after the metal layer is formed. Then, a plurality of separated semiconductor devices including the semiconductor layer are formed by removing a desired region in the metal layer from the front side of the semiconductor layer surface exposed by separating the base material substrate.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-12188  
(P2005-12188)

(13) 公開日 平成17年1月13日(2005.1.13)

(61) Int.Cl. 7

H01L 33/00

F1

H01L 33/00

テーマコード(参考)

C 5FO41

審査請求 未請求 請求項の数 13 O.S. (全 21 頁)

(21) 出願番号 特願2004-146109 (P2004-146109)  
(22) 出願日 平成16年5月17日 (2004.5.17)  
(31) 優先権主張番号 特願2003-144480 (P2003-144480)  
(32) 優先日 平成15年5月22日 (2003.5.22)  
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000003821  
松下電器産業株式会社  
大阪府門真市大学門真1006番地  
(74) 代理人 100077831  
弁理士 菊田 弘  
(74) 代理人 100094134  
弁理士 小山 康義  
(74) 代理人 100110939  
弁理士 竹内 宏  
(74) 代理人 100110940  
弁理士 鳥居 篤久  
(74) 代理人 100113262  
弁理士 竹内 哲二  
(74) 代理人 100115059  
弁理士 今江 兼実

最終頁に続く

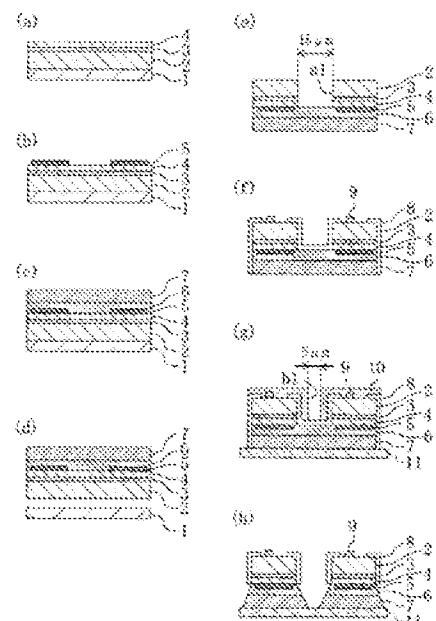
(54) 【発明の名称】半導体素子の製造方法

(57) 【要約】

【課題】 留まりの低下を防止できると共に、複数の半導体素子に分離することができる半導体素子の製造方法を提供する。

【解決手段】 半導体素子の製造方法は、母材基板上に能動層を含む半導体層を形成する。次に、半導体層の上に、金属層を形成する。次に、金属層を形成した後に半導体層から母材基板を分離する。次に、半導体層における母材基板が分離されて露出した表面側から、金属層における所望の領域を除去することにより、半導体層を含んでなる互いに分離された複数個の半導体素子を形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項1】

母材基板上に、能動層を含む半導体層を形成する工程と、  
前記半導体層の上に、金属層を形成する工程と、  
前記金属層を形成した後に、前記半導体層から前記母材基板を分離する工程と、  
前記半導体層における前記母材基板が分離されて露出した面側から、前記金属層における所望の領域を除去することにより、前記半導体層を含んでなる互いに分離された複数個の半導体素子を形成する工程とを有することを特徴とする半導体素子の製造方法。

## 【請求項2】

前記金属層は、Au、Ag、又はCuよりなることを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項3】

前記金属層は、メッキにより形成されることを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項4】

前記金属層は、1.0  $\mu$ m以上の膜厚を有することを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項5】

前記母材基板を分離する工程は、前記半導体層に対して、該半導体層における前記母材基板が形成されている側からレーザを照射することにより行なうことを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項6】

前記母材基板を分離する工程は、研磨により行なうことを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項7】

前記半導体層を形成する工程と前記母材基板を分離する工程との間に、  
前記半導体層における前記母材基板が形成されている側とは反対の側から、前記半導体層の一部を除去することにより、前記半導体層を複数の領域に分離する工程をさらに備え

前記複数個の半導体素子の各々は、前記複数の領域の各々を含むことを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項8】

前記金属層を形成する工程と前記複数個の半導体素子を形成する工程との間に、  
前記金属層における前記半導体層が形成されている側の面とは反対の面の上に、接着性を有する高分子材料フィルムを形成する工程をさらに備えることを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項9】

前記高分子材料フィルムは、伸縮性を有する材料よりなることを特徴とする請求項8に記載の半導体素子の製造方法。

## 【請求項10】

前記金属層を形成する工程と前記母材基板を分離する工程との間に、  
前記金属層における前記半導体層が形成されている側の面とは反対の面の上に、難開性を有する半導体基板を形成する工程をさらに備えることを特徴とする請求項1に記載の半導体素子の製造方法。

## 【請求項11】

前記半導体基板は、Si又はSiCよりなることを特徴とする請求項10に記載の半導体素子の製造方法。

## 【請求項12】

前記複数個の半導体素子を形成する工程は、

前記金屬層における前記所望の領域を除去することにより露出された前記半導体基板の表面に、溝部を形成する工程と、前記溝部が形成された前記半導体基板を劈開することにより前記複数個の半導体素子を形成する工程を含むことを特徴とする請求項10に記載の半導体素子の製造方法。

#### 【請求項13】

前記半導体層は、III族窒化物半導体よりなることを特徴とする請求項1に記載の半導体素子の製造方法。

#### 【背景技術】

##### 【0001】

本発明は、青色域から紫外域で発光する窒化物半導体発光素子の製造方法に関するものである。

##### 【背景技術】

##### 【0002】

現在、各種表示用若しくは大型ディスプレイ、又は信号機等において、III族窒化物を用いた発光ダイオードが広く実用化されている。また、GaN系LEDと螢光体とを組み合わせた白色LEDも商品化されており、将来的に発光効率が改善されれば、現状の照明の置き換えも期待されている。

##### 【0003】

一般的に、GaN等よりなるIII族窒化物半導体（以下、単に窒化物半導体と記す）はサファイア基板上に形成されるのが主流である。しかしながら、サファイア基板は導電性を有していないので、p型電極及びn型電極をGaN成長層における同一の平衡上に形成する必要がある。このため、電流バスが長くなることによって直列抵抗が大きくなるという問題、さらに、デバイスサイズが大きくなるという問題が生じる。

##### 【0004】

ところで、前述の問題を解決するために、レーザリフトオフ（Laser Lift-Off；以下、LLOと記す）という技術が開発されている。

##### 【0005】

LLO技術とは、サファイア基板上にGaN層を成長させた後、GaN層におけるサファイア基板が形成されている側から、GaN層に対してレーザ照射を行なって、GaN層におけるサファイア基板との界面近傍部分を熱分解させることにより、サファイア基板とGaN層とを分離する方法である。

##### 【0006】

以下に、LLO技術を用いた第1の従来例に係る半導体素子の製造方法について、図7(a)～(f)を参照しながら説明する（例えば特許文献1参照）。

##### 【0007】

まず、図7(a)に示すように、サファイア基板101上にGaN層102を成長する。

##### 【0008】

次に、図7(b)に示すように、GaN層102の上に電極層103を形成した後、該電極層103の上の所定領域に絶縁膜104を形成する。

##### 【0009】

次に、図7(c)に示すように、電極層103の上に、厚さが9.0μm程度であるCuメッキ105を形成する。なお、この場合、絶縁膜104の上にはCuはメッキされずに、電極層103の上に、図7に示すような形態を有するCuメッキ105が形成される。

##### 【0010】

次に、図7(d)に示すように、Cuメッキ105の上に保持金屬106を形成する。

##### 【0011】

次に、図7(e)に示すように、LLO技術を用いて、GaN層102からサファイア基板101を分離した後、GaN層102の上の所定領域に電極層107を形成する。統いて、Cuメッキ105から保持金屬106を分離する。なお、図7(e)及び後述する

図7 (f) では、前述した図7 (a) ~ (d) に示した上下方向を逆にして示している。

【0012】

次に、図7 (f) に示すように、GaN層102にけがきを入れて、GaN層102を剥離することにより、チップを分離する。この場合、Cuメッキ105の接合部105aは、接合強度が比較的弱いので、GaN層102が剥離されることにより、Cuメッキ105も容易に分離される。

【0013】

以下に、LLO技術を用いた第2の従来例に係る半導体素子の製造方法について、図8 (a) ~ (f) を参照しながら説明する（例えば特許文献2参照）。

【0014】

まず、図8 (a) に示すように、サファイア基板201上にGaN層202を成膜する。

【0015】

次に、図8 (b) に示すように、GaN層202の上に電極層203を形成した後、厚さが1.0  $\mu\text{m}$ 以上であるAuメッキ204を形成する。

【0016】

次に、図8 (c) に示すように、LLO技術を用いて、GaN層202からサファイア基板201を分離する。

【0017】

次に、図8 (d) に示すように、GaN層におけるサファイア基板201が除去されて露出した面の上に、電極層203を形成する。

【0018】

次に、図8 (e) に示すように、Auメッキ204の上にレジストパターン206を形成した後バーニングを行なって、Auメッキ204におけるチップ分離領域となる部分を除去する。この場合、Auメッキ204におけるGaN層202が形成されていない面側から、ウェットエッチングにより除去している。

【0019】

次に、図8 (f) に示すように、レジストパターン206を有機洗浄によって除去した後、GaN層202を剥離したり又はダイシングブレードを用いて切削することにより、チップを分離する。

【0020】

以上の第1及び第2の従来例に示したようにして、LLO技術を用いて窒化物半導体素子が作製されている。

【特許文献1】特開2001-274507号公報

【特許文献2】特願2002-183919号公報

【発明の概要】

【発明が解決しようとする課題】

【0021】

しかしながら、前記第1及び第2の従来例に係る半導体素子の製造方法によると、次に示すような問題が発生する。

【0022】

まず、第1の従来例に係る半導体素子の製造方法においては、Cuメッキ105の接合強度が非常に弱い場合、薄膜であるGaN層102の保持材としての機能が低下するので、剥離を行なう工程において自然とGaN層102が割れてしまう場合がある。このように自然に割れたチップにはがたつきが多いので、デバイスとして用いることはできない。したがって、歩留まりが低下する原因となる。一方、Cuメッキ105の接合強度が強い場合、薄膜であるGaN層102が剥離により分離しても、Cuメッキ105が分離されない場合がある。したがって、この場合にも歩留まりが低下する原因となる。このように、第1の従来例に係る半導体素子の製造方法では、Cuメッキの接合強度の厳密な制御が要求される。

## 【0023】

また、第2の従来例に係る半導体素子の製造方法においては、前記図8（e）を用いた説明の通り、厚膜であるAuメッキ204の上にレジストパターンを形成する。しかしながら、Auメッキ204の膜厚が厚いと、パターニングの際にAuメッキ204の下地となる層を確認することが困難であり、マスク合わせが困難となる。したがって、歩留まりが低下する原因となる。また、Auメッキ204におけるチップ分離領域となる部分を除去した段階で、薄膜であるGaN層202が自然に分離する場合もあり、この場合には、第1の従来例の場合と同様に、歩留まりが低下する原因となる。以上のように、第2の従来例に係る半導体素子の製造方法においても、高歩留まりを実現することが困難である。

## 【0024】

前記に鑑み、本発明の目的は、歩留まりの低下を防止できると共に、複数の半導体素子に分離することができる半導体素子の製造方法を提供することである。

## 【課題を解決するための手段】

## 【0025】

前記の課題を解決するために、本発明の半導体素子の製造方法は、母材基板上に、能動層を含む半導体層を形成する工程と、半導体層の上に、金属層を形成する工程と、金属層を形成した後に、半導体層から母材基板を分離する工程と、半導体層における母材基板が分離されて露出した表面側から、金属層における所望の領域を除去することにより、半導体層を含んでなる互いに分離された複数個の半導体素子を形成する工程とを有する。

## 【0026】

本発明の半導体素子の製造方法によると、従来例と異なって完全に繋がった金属層を保持材として用いると共に、剥離ではなく金属層を除去することにより素子を分離するので、従来例に示したような剥離の際の問題を解消して、歩留まりを向上させることができる。また、金属層を除去する際には、金属層ではなく半導体層上にレジストパターンを形成してパターニングを行ない、半導体層における母材基板が分離されて露出した表面側から金属層を除去するため、マスク合わせが非常に容易になるので、歩留まりを向上させることができる。

## 【0027】

本発明の半導体素子の製造方法において、金属層は、Au、Ag、又はCuよりもなることが好ましい。

## 【0028】

これらの材料は熱伝導率が高いので、デバイスの放熱特性が向上する。

## 【0029】

本発明の半導体素子の製造方法において、金属層は、メッキにより形成されることが好ましい。

## 【0030】

本発明の半導体素子の製造方法において、金属層は、10μm以上の膜厚を有することが好ましい。

## 【0031】

このようにすると、金属層の半導体層に対する保持能力として十分な効果を得ることができる。

## 【0032】

本発明の半導体素子の製造方法において、母材基板を分離する工程は、半導体層に対して、該半導体層における母材基板が形成されている側からレーザを照射することにより行なうことが好ましい。

## 【0033】

このようにすると、短時間で且つ容易な制御で母材基板を分離することができる。

## 【0034】

本発明の半導体素子の製造方法において、母材基板を分離する工程は、研磨により行なってもよい。

## 【0035】

本発明の半導体素子の製造方法において、半導体層を形成する工程と母材基板を分離する工程との間に、半導体層における母材基板が形成されている側とは反対の側から、半導体層の一部を除去することにより、半導体層を複数の領域に分離する工程をさらに備え、複数個の半導体素子の各々は、複数の領域の各々を含む。

## 【0036】

このように、母材基板を分離する前に半導体層を複数の領域に分離しているため、母材基板を分離する際に半導体層が割れやすいという傾向を抑制することができる。その結果、例えばレーザ照射を用いて母材基板を分離する場合には、レーザ照射条件のマージンを大きくとることが可能となり、歩留まりを向上させることができる。

## 【0037】

本発明の半導体素子の製造方法において、金属層を形成する工程と複数個の半導体素子を形成する工程との間に、金属層における半導体層が形成されている側の面とは反対の面上に、接着性を有する高分子材料フィルムを形成する工程をさらに備えることが好ましい。

## 【0038】

このようにすると、後の工程で分離される複数個の半導体素子がばらばらになることを防止することができる。

## 【0039】

本発明の半導体素子の製造方法において、高分子材料フィルムは、伸縮性を有する材料よりなることが好ましい。

## 【0040】

このようにすると、デバイス完了後、高分子フィルムをエキスバンドシートとして使用することができるので、製造工程数を減少させることができる。

## 【0041】

本発明の半導体素子の製造方法において、金属層を形成する工程と母材基板を分離する工程との間に、金属層における半導体層が形成されている側の面とは反対の面上に、劈開性を有する半導体基板を形成する工程をさらに備える。

## 【0042】

このようにすると、母材基板を分離した後における半導体層に対する保持能力を高めることができるので、歩留まり良く、複数の半導体素子に分離することができる。

## 【0043】

本発明の半導体素子の製造方法において、半導体基板は、S i 又はS i Cよりなることが好ましい。

## 【0044】

このようにすると、半導体素子を実装する際に、半導体素子がヒートシンクとして機能するので、実装工程の簡素化できる。

## 【0045】

本発明の半導体素子の製造方法において、複数個の半導体素子を形成する工程は、金属層における所望の領域を除去することにより露出された半導体基板の表面に、溝部を形成する工程と、溝部が形成された半導体基板を劈開することにより複数個の半導体素子を形成する工程を含む。

## 【0046】

このようにすると、溝部に沿って半導体基板の劈開が起るので、半導体基板をより容易に劈開することができる。これにより、歩留まりを一層向上させることができる。

## 【0047】

本発明の半導体素子の製造方法において、半導体層は、III族窒化物半導体よりなることが好ましい。

## 【発明の効果】

## 【0048】

本発明の半導体素子の製造方法によると、従来例と異なって完全に鍍がった金属層を保持材として用いると共に、劈開ではなく金属層を除去することにより素子を分離するので、従来例に示したような劈開の際の問題を解消して、歩留まりを向上させることができる。また、金属層を除去する際には、金属層ではなく半導体層上にレジストパターンを形成してパターニングを行ない、半導体層における母材基板が分離されて露出した表面側から金属層を除去するため、マスク合わせが非常に容易になるので、歩留まりを向上させることができる。

【発明を実施するための最も良の形態】

【0049】

以下、本発明の各実施形態について、図面を参照しながら説明する。

【0050】

(第1の実施形態)

以下に、本発明の第1の実施形態に係る半導体素子の製造方法、具体的には、窒化物半導体よりなる青色面発光素子の製造方法を一例として、図1 (a) ～ (h) を参照しながら説明する。

【0051】

なお、GaN層を成長させる装置としては、MOVPE (有機金属気相成長) 装置を用いる。また、GaN原料としてはトリメチルガリウムを用い、N原料としてはNH<sub>3</sub>を用いる。また、ドナー不純物であるSiの原料としてはSiH<sub>4</sub>を用い、キャリアガスとしてはH<sub>2</sub>を用いる。

【0052】

まず、図1 (a) に示すように、2インチ (0001) サファイア基板1上に、低温緩衝層 (図示せず) を形成した後、該低温緩衝層の上に膜厚が4μmとなるようにn型GaN層2を成長させる。この場合、GaN層2の成長温度は1030°Cである。次に、キャリアガスとしてN<sub>2</sub>に切り替えると共に成長温度を800°Cに降温して、GaN層2の上に膜厚が20nmとなるようにInGaNよりなる活性層3を成長させる。ここで、本実施形態では、InGaNよりなる活性層3からは波長が470nmの青色発光が生じる。Inの原料としてはトリメチルインジウムを用いる。また、本実施形態では、活性層3がSQW構造である場合としたが、MQW構造であっても良い。次に、成長温度を再び1020°Cまで昇温して、活性層3の上に膜厚が0.8μmとなるようにp型GaN層4を成長させる。なお、アクセプタ不純物であるMgの原料としては、シクロヘンタジエニルマグネシウムを用いる。

【0053】

次に、p型GaN層4を成長させた後、アニーリング装置を用いて、窒素雰囲気中であって且つ750°Cで20分間アニーリングを行なうことにより、p型GaN層4をさらに低抵抗化する。

【0054】

次に、図1 (b) に示すように、EB蒸着により、p型GaN層4の上にp型コンタクト電極5としてNi/Auよりなる積層膜を形成する。その後、酸素雰囲気中、600°Cでシントを行なう。

【0055】

次に、図1 (c) に示すように、EB蒸着により、試料表面全面にAuメッキの下地膜6としてTi/Auよりなる積層膜を形成する。その後、下地膜6の上に、膜厚が30μmとなるAuメッキ7を形成する。ここで、後工程において、膜厚が5μm程度のn型GaN層2からサファイア基板1を除去する際、Auメッキ7はn型GaN層2の保持材として作用する。Auメッキ7は、膜厚が厚くなければなる程保持能力は高まるが、膜厚が厚くなりすぎるとデバイスの放熱特性を悪化させることになる。したがって、Auメッキ7の膜厚は10～150μm程度であることが好ましい。なお、本実施形態では、前述したように、Auメッキ7の膜厚は30μmとしている。また、膜厚が厚い金属層の材料としては、熱伝導率が高い材料であることが望ましく、Auの他にAg又はCuが候補として

挙げられる。また、本実施形態ではメッキによりA<sub>n</sub>メッキを形成したが、メッキ以外の方法で形成しても良い。

#### 【0056】

次に、図1 (d) に示すように、n型GaN層2からサファイア基板1を除去する。サファイア基板1を除去する方法としては、研磨法又はレーザリフトオフ法 (LLO法) 等がある。サファイア基板1は非常に強固であるので、研磨法を用いてサファイア基板1を除去する場合には、長時間を要すると共に制御が困難であるという問題を有している。そこで、本実施形態では、レーザリフトオフ法を用いてサファイア基板1を除去している。具体的には、サファイア基板1におけるn型GaN層2が形成されている側の面とは反対の面側から、サファイア基板1に対してYAGレーザの照射を行なうことにより、n型GaN層2におけるサファイア基板1との界面近傍部を熱により分解させて、n型GaN層2とサファイア基板1との分離を行なう。なお、レーザリフトオフ後には、n型GaN層2における界面近傍に分解されたGa金属が付着するので、塩酸で除去を行なう。ここで、レーザリフトオフ後の表面は荒れているので、表面が平坦である場合よりもLEDの光取り出し効率が向上する。また、光取り出し効率をより高める目的で、更に表面を荒らしてもよい。

#### 【0057】

次に、図1 (e) に示すように、n型GaN層2におけるサファイア基板1が分離されて剥き出しなった面上にマスクを形成した後、n型GaN層2、活性層3及びp型GaN層4におけるチップ分離領域に存在している窒化物半導体層をドライエッチングにより完全に除去することにより、n型GaN層2、活性層3及びp型GaN層4に、チップ分離領域となる開口径が1.5μmの開口部a1を形成する。その後、用いたマスクを除去する。ここで、ドライエッチングする際のエッティングガスとしては例えば塩素系ガスを用いる。また、マスクとしてはドライエッチングに対してエッティングされにくい材料であることが望ましく、SiO<sub>2</sub>等の誘電体膜又はNi等よりなる金属膜であれば良い。また、レジストを用いる場合は、膜厚が厚いレジストを用いることが望ましい。なお、前述した図1 (a) ~ (d) と図1 (e) とでは、図面の上下方向を反対にして示している。また、後述の図1 (f) ~ (h) についても同様である。

#### 【0058】

次に、図1 (f) に示すように、CVD法又はスパッタ法により、試料全面にSiO<sub>2</sub>膜よりなるバッシベーション膜8を形成した後、バッシベーション膜8におけるデバイスの光取り出し部となる部分を除去する。次に、n型GaN層2におけるバッシベーション膜8が除去されて露出している部分に、n型電極9としてTi/Auよりなる積層膜を形成した後、窒素雰囲気中、600°Cでシントを行なう。なお、n型電極9としてはITO又は $\beta$ -Ga<sub>2</sub>O<sub>3</sub>等の透明電極を用いても良い。

#### 【0059】

次に、図1 (g) に示すように、バッシベーション膜8、n型GaN層2及びn型電極9の上の全面にレジストマスク10を形成した後、レジストマスク10におけるチップ分離領域の一部に開口部b1を形成する。本実施形態では、チップ分離領域の幅が1.5μmとしているのに対して、その領域の中心となる領域の1μmだけ開口するように、開口部b1を形成する。次に、A<sub>n</sub>メッキ7における窒化物半導体層が形成されている側の面とは反対の面上にシート11を貼りつける。シート11は、次工程で分離されるチップがばらばらになることを防止する。また、シート11は高分子材料フィルムよりなり、接着性を有している。また、シート11として伸縮性を有する高分子フィルムを用いることにより、デバイス完了後、エキスパンドシートとして使用することも可能となるので、製造工程数を減少させることができる。また、シート11はLLO法を用いてサファイア基板1を分離する直前又は直後に取り付けることも可能であり、そのようにすることにより、サファイア基板1の分離時又はn型電極9を形成するプロセス時にn型GaN層2の保持能力を向上させることができる。

#### 【0060】

次に、図1 (b) に示すように、BHFを用いて、開口部a1の底部及びその下側に位置しているパッシベーション膜8と下地膜6を構成するTi膜とを除去して、下地膜6を構成するAlを露出させる。次に、ヨードを用いて、露出した下地膜6を構成するAuと該Auの下側に位置するAlメッキ7とをウェットエッチングすることにより、塗化物半導体層を含んでなる2つのチップに分離する。その後、レジストマスク10を例えれば有機洗浄で除去することにより、青色LEDを作製することができる。

## 【0061】

以上のように、本発明の第1の実施形態に係る半導体素子の製造方法によると、保持材として、従来例と異なり完全に剥がったAlメッキを用いると共に、素子分離として、劈開を行なうのではなくAlメッキをウェットエッチングで除去することにより行なう。このため、従来例に示したように、劈開を行なう場合であれば、膜厚が薄い塗化物半導体層が自然に割れてしまったり又はメッキ層が剥がったままの状態になって素子分離がなされないという問題が生じていたが、本実施形態によると、これらの問題を解決することができ、歩留まりを向上させることができる。また、Auメッキをエッチングする際には、塗化物半導体層上にレジストパターンを形成しパターニングを行ない、塗化物半導体層におけるサファイア基板が形成されていた面側からAuメッキのエッチングを行なう。このため、従来例に示したように、Auメッキの上にレジストパターンを形成する場合であればマスク合わせが困難であったが、本実施形態によると、マスク合わせが容易になるので、歩留まりを向上させることができる。

## 【0062】

このように、歩留まりに優れた青色LEDを作製することが可能となる。また、作製されたデバイスは膜厚が30μmという薄膜のAlメッキを介して放熱されるので、放熱性にも非常に優れている。

## 【0063】

なお、本実施形態では、サファイア基板1の上にGaN層を成長させる場合について説明したが、基板及び成長層共にその他の材料よりなる半導体であっても同様に適用可能である。

## 【0064】

## (第2の実施形態)

以下に、本発明の第2の実施形態に係る半導体素子の製造方法について、具体的には、塗化物半導体よりなる青色面発光素子の製造方法を一例に用いて、図2 (a) ~ (h) を参照しながら説明する。なお、図2 (a) ~ (h) では、前述の図面において示された構成部分と対応する部分には、同一の符号を付している。

## 【0065】

まず、図2 (a) に示すように、サファイア基板1の上に、n型GaN層2、活性層3及びp型GaN層4を順に成膜し、アニーリングを行なうまでの工程は、第1の実施形態において図1 (a) を用いた説明と同様である。

## 【0066】

次に、図2 (b) に示すように、p型GaN層4の上にマスクを形成した後、n型GaN層2、活性層3及びp型GaN層4におけるチップ分離領域に存在している塗化物半導体層をエッチングにより除去することにより、開口部a2を形成する。この場合、エッチングの方法としては、RIE又はECR等のドライエッチングが望ましい。また、エッチングガスとしては塩素系のガスを用いることが望ましい。その後、用いたマスクを除去する。また、マスクとしてはドライエッチングに対してエッチングされにくい材料であることが望ましく、SiO<sub>2</sub>等の誘電体膜又はNi等よりなる金属膜であれば良い。また、レジストを用いる場合には、膜厚が薄いレジストを用いることが望ましい。

## 【0067】

次に、図2 (c) に示すように、CVD法又はスパッタ法により、開口部a2を含む試料全面にSiO<sub>2</sub>膜よりなるパッシベーション膜8を形成した後、パッシベーション膜8における電流導波部分を除去する。次に、EB蒸着により、p型GaN層4におけるバッ

シベーション膜8が除去されて露出している部分に、n型電極9としてTi/Auよりなる積層膜を形成した後、酸素雰囲気中、600°Cでシンクを行なう。

## 【0068】

次に、図2(d)に示すように、EB蒸着により、試料表面の全面に、Auメッキの下地膜6としてTi/Auよりなる積層膜を形成した後、該下地膜6の上に膜厚が30μmとなるようにAuメッキ7を形成する。ここで、後工程において、薄膜であるn型GaN層2からサファイア基板1を除去する際、Auメッキ7はn型GaN層2の保持材として作用する。

## 【0069】

次に、図2(e)に示すように、n型GaN層2からサファイア基板1を除去する。サファイア基板1を除去する方法としては、研磨法又はレーザリフトオフ法(LLO法)等がある。サファイア基板1は非常に強固であるので、研磨法を用いてサファイア基板1を除去する場合には、長時間を要すると共に制御が困難であるので、本実施形態では、レーザリフトオフ法を用いてサファイア基板1を除去している。具体的には、サファイア基板1におけるn型GaN層2が形成されている側の面とは反対の面側から、サファイア基板1に対してYAGレーザの照射を行なうことにより、n型GaN層2におけるサファイア基板1との界面近傍部を熱により分解させて、n型GaN層2とサファイア基板1との分離を行なう。なお、レーザリフトオフ後には、n型GaN層2における界面近傍に分解されたGaN金屬が付着するので、塩酸で除去を行なう。ここで、レーザリフトオフ後の表面は荒れているので、表面が平坦である場合よりもLEDの光取り出し効率が向上する。また、光取り出し効率をより高める目的で、更に表面を荒らしてもよい。

## 【0070】

このようにして、本実施形態では、レーザリフトオフによってサファイア基板1を分離する前にドライエッキングを行なうことにより、レーザリフトオフ時にはn型GaN層2が一素子分の大きさに分割されている。第1の実施形態のように2インチという大面積のn型GaN層2からサファイア基板1をレーザリフトオフによって分離すると、レーザリフトオフの際にn型GaN層2が割れやすい傾向があるので、レーザ照射条件のマージンが非常に小さくなる。しかしながら、本実施の形態では、一素子分のn型GaN層2からレーザリフトオフによりサファイア基板1を分離するため、レーザ照射条件のマージンを大きくとることが可能となるので、歩留まりを向上させることができる。

## 【0071】

次に、図2(f)に示すように、EB蒸着により、n型GaN層2におけるサファイア基板1が分離されて剥き出しになっている面上に、n型電極9としてTi/Auよりなる積層膜を形成した後、N<sub>2</sub>雰囲気中、600°Cでシンクを行なう。なお、図2(a)～(e)と図2(f)とでは、図面の上下方向を反対にして示している。また、図2(g)及び(h)についても同様である。

## 【0072】

次に、図2(g)に示すように、n型電極9を覆うようにレジストマスク10を形成した後、該レジストマスク10にチップ分離領域の一部を開口させたような開口部12を形成する。次に、Auメッキ7における窒化物半導体層が形成されている側の面とは反対の面上に、接着性を有するシート11を貼り付ける。

## 【0073】

次に、図2(h)に示すように、BHFを用いて、開口部a2の内部に形成されているバッシベーション膜8と下地膜6を構成するTi膜とを除去した後、ヨードを用いて、下地膜6を構成するAuと該Auの下側に位置するAuメッキアとをウェットエッキングすることにより、窒化物半導体層を含んでなる2つのチップに分離する。その後、レジストマスク10を例えば有機洗浄で除去することにより、青色LEDを作製することができる。

## 【0074】

以上のように、本発明の第2の実施形態に係る半導体素子の製造方法によると、保持材として、従来例と異なり完全に繋がったAuメッキを用いると共に、素子分離として、勢

開を行なうのではなくAlメッキをウェットエッチングで除去することにより行なう。このため、従来例に示したように、駆開を行なう場合であれば、膜厚が薄い窒化物半導体層が自然に割れてしまったり又はメッキ層が剥がったままの状態になって素子分離がなされないという問題が生じていたが、本実施形態によると、これらの問題を解決することができ、歩留まりを向上させることができる。また、Alメッキをエッチングする際には、窒化物半導体層上にレジストパターンを形成してバーニングを行ない、窒化物半導体層におけるサファイア基板が形成されていた面側からAlメッキのエッチングを行なう。このため、従来例に示したように、Alメッキの上にレジストパターンを形成する場合であればマスク合わせが困難であったが、本実施形態によると、マスク合わせが容易になるので、歩留まりを向上させることができる。さらに、レーザリフトオフを行なう際には、窒化物半導体層自体はドライエッチングによって1デバイス分のサイズに分割されているので、レーザリフトオフ時にウェハが割れる恐れを防止でき、歩留まりを向上させることができる。

## 【0075】

このように、歩留まりに優れた青色LEDを作製することが可能となる。また、作製されたデバイスは膜厚が30μmという薄膜のAlメッキを介して放熱されるので、放熱性にも非常に優れている。

## 【0076】

なお、本実施形態では、サファイア基板1の上にGaN層を成長させる場合について説明したが、基板及び成長層共にその他の材料よりなる半導体であっても同様に適用可能である。

## 【0077】

## (第3の実施形態)

以下に、本発明の第3の実施形態に係る半導体素子の製造方法について、具体的には、窒化物半導体よりなる青色面発光素子の製造方法を一例として、図3(a)～(i)を参照しながら説明する。なお、図3(a)～(i)では、前述の図面において示された構成部分と対応する部分には、同一の符号を付している。

## 【0078】

なお、GaN層を成長させる装置としては、MOVPE(有機金属気相成長)装置を用いる。また、GaN原料としてはトリメチルガリウムを用い、Al原料としてはトリメチルアルミニウムを用い、N原料としてはNH<sub>3</sub>を用いる。また、ドナー不純物であるSiの原料としてはSiH<sub>4</sub>を用い、キャリアガスとしてはH<sub>2</sub>を用いる。また、アクセプタ不純物であるMgの原料としてはシクロペンタジエニルマグネシウムを用いる。

## 【0079】

まず、図3(a)に示すように、2インチ(0001)サファイア基板1上に、低温緩衝層(図示せず)を形成した後、該低温緩衝層の上に、n-GaN層、n-Al<sub>0.15</sub>Ga<sub>0.85</sub>Nクラッド層、及びn-Al<sub>0.17</sub>Ga<sub>0.83</sub>Nガイド層が順に積層されてなるn型層2aを形成する。次に、該n型層2aの上に、MQW構造を有するInGaNよりなる活性層3を形成した後、該活性層3の上に、p-Al<sub>0.17</sub>Ga<sub>0.83</sub>Nガイド層、p-Al<sub>0.15</sub>Ga<sub>0.85</sub>Nクラッド層、及びp-GaNコンタクト層が順に積層されてなるp型層4aを形成する。ここで、本実施形態では、MQW構造を有するInGaNよりなる活性層3からは波長が405nmの青色発光が生じる。

## 【0080】

次に、図3(b)に示すように、p型層4aの上にマスクを形成した後、n型層2a、活性層3及びp型層4aにおけるチップ分離領域に存在している窒化物半導体層をエッチングにより除去することにより、開口部a3を形成する。この場合、エッチングの方法としては、RIE又はECR等のドライエッチングが望ましい。また、エッチングガスとしては塩素系のガスを用いることが望ましい。その後、用いたマスクを除去する。また、マスクとしてはドライエッティングに対してエッティングされにくい材料であることが望ましく、SiO<sub>2</sub>等の誘電体膜又はNi等よりなる金属膜であれば良い。また、レジストを用い

る場合には、膜厚が厚いレジストを用いることが望ましい。

【0081】

次に、図3(c)に示すように、CVD法又はスパッタ法により、試料全面にSiO<sub>2</sub>膜よりなるバッシベーション膜8を形成した後、バッシベーション膜8におけるデバイスの光取り出し部分及び電流導波部分を除去する。次に、EB蒸着により、p型層4aにおけるバッシベーション膜8が除去されて露出している部分であって光導波路以外の部分に、p型電極5としてTi/Auよりなる積層膜を形成した後、酸素雰囲気中、600°Cでシングタを行なう。

【0082】

次に、図3(d)に示すように、p型層4aにおける露出している部分であって光導波路となる部分に、誘電体DBRミラー1-2を形成する。誘電体DBRミラー1-2は波長405nmの光に対して反射率が99.5%以上になるように構成する。

【0083】

次に、図3(e)に示すように、EB蒸着により、試料表面の全面に、Auメッキの下地膜6としてTi/Auよりなる積層膜を形成した後、該下地膜6の上に膜厚が30μmとなるようにAuメッキ7を形成する。ここで、後工程において、薄膜であるn型GaN層2からサファイア基板1を除去する際、Auメッキ7はn型層2aの保持材として作用する。

【0084】

次に、図3(f)に示すように、n型層2aからサファイア基板1を除去する。サファイア基板1を除去する方法としては、研磨法又はレーザリフトオフ法(レーザーLIFT-OFF法)等がある。サファイア基板1は非常に強固であるので、研磨法を用いてサファイア基板1を除去する場合には、長時間を要すると共に制御が困難であるので、本実施形態では、レーザリフトオフ法を用いてサファイア基板1を除去している。具体的には、サファイア基板1におけるn型層2aが形成されている側の面とは反対の面側から、サファイア基板1に対してYAGレーザの照射を行なうことにより、n型層2aにおけるサファイア基板1との界面近傍部を熱により分解させて、n型層2aとサファイア基板1との分離を行なう。なお、レーザリフトオフ後には、n型層2aにおける界面近傍に分解されたGaN金屬が付着するので、塩酸で除去を行なう。このように、レーザリフトオフによってサファイア基板1を分離する前にドライエッティングを行なうことにより、一素子分のn型層2aからレーザリフトオフによりサファイア基板1を分離するため、第2の実施形態と同様に、レーザ照射条件のマージンを大きくとることが可能となるので、歩留まりを向上させることができる。

【0085】

次に、図3(g)に示すように、EB蒸着により、n型層2aにおけるサファイア基板1が分離されて剥き出しになっている面上であって光導波路以外の部分に、n型電極9としてTi/Auよりなる積層膜を形成した後、窒素雰囲気中、600°Cでシングタを行なう。その後、n型層2aにおけるサファイア基板1が分離されて剥き出しになっている面上であって光導波路の部分に、誘電体DBRミラー1-3を形成する。誘電体DBRミラー1-3としては波長405nmに対して反射率が99%以上となるように構成する。また、本実施形態では、n型層2a上のDBRミラーとして誘電体材料を用いて形成したが、組成が異なるAlGaNの屈折率差を利用して成長層でDBRミラーを形成しても良い。なお、図3(a)～(f)と図3(g)とでは、図面の上下方向を反対にして示している。また、図3(h)及び(i)も同様である。

【0086】

次に、図3(h)に示すように、n型電極9及び誘電体DBRミラー1-3を覆うようにレジストマスク10を形成した後、該レジストマスク10にチップ分離領域の一部を開口させるような開口部13を形成する。次に、Auメッキ7における窒化物半導体層が形成されている側の面とは反対の面上に、接着性を有するシート11を貼りつける。次に、BHFを用いて、開口部a-2の内部に形成されているバッシベーション膜8と下地膜6を構

成するTi膜とを除去した後、ワードを用いて、下地膜6を構成するAuと該Auの下側に位置するAuメッキ7とをウェットエッチングすることにより、窒化物半導体層を含んでなる2つのチップに分離する。その後、レジストマスク10を例えれば有機洗浄で除去することにより、青色面発光レーザを作製することができる。

## 【0087】

以上のように、本発明の第3の実施形態に係る半導体素子の製造方法によると、保持材として、従来例と異なり完全に繋がったAuメッキを用いると共に、素子分離として、劈開を行なうのではなくAuメッキをウェットエッチングで除去することにより行なう。このため、従来例に示したように、劈開を行なう場合であれば、膜厚が薄い窒化物半導体層が自然に割れてしまったり又はメッキ層が繋がったままの状態になって素子分離がなされないという問題が生じていたが、本実施形態によると、これらの問題を解決することができ、歩留まりを向上させることができる。また、Auメッキをエッチングする際には、窒化物半導体層上にバーニングを行なって、窒化物半導体層におけるサファイア基板が形成されていない面側からAuメッキのエッチングを行なう。このため、従来例に示したように、Auメッキの上にレジストパターンを形成する場合であればマスク合わせが困難であったが、本実施形態によると、マスク合わせが容易になるので、歩留まりを向上させることができる。さらに、レーザリフトオフを行なう際には、窒化物半導体層自体はドライエッチングによって1デバイス分のサイズに分割されているので、レーザリフトオフ時にウェハが割れる恐れを防止でき、歩留まりを向上させることができる。

## 【0088】

このように、歩留まりに優れた青色面発光レーザを作製することが可能となる。また、作製されたデバイスは膜厚が30μmという薄膜のAuメッキを介して放熱されるので、放熱性にも非常に優れている。

## 【0089】

なお、本実施形態では、サファイア基板1の上にGaN層を成長させる場合について説明したが、基板及び成長層共にその他の材料よりなる半導体であっても同様に適用可能である。

## 【0090】

## (第4の実施形態)

以下に、本発明の第4の実施形態に係る半導体素子の製造方法について、具体的には、窒化物半導体よりなる電界効果トランジスタの製造方法を一例として、図4(a)～(g)を参照しながら説明する。なお、図4(a)～(g)では、前述の図面において示された構成部分と対応する部分には、同一の符号を付している。

## 【0091】

まず、図4(a)に示すように、MOCVD法により、サファイア基板1上に、n型GaN層14及びアンドープGaN層15を順に形成する。これらの成長層の一般的な膜厚はそれぞれ2～3μm程度である。

## 【0092】

次に、図4(b)に示すように、アンドープGaN層15の上にマスクを形成した後、n型GaN層14及びアンドープGaN層15における素子分離部となる領域に存在している窒化物半導体層をドライエッチングにより完全に除去することにより、n型GaN層14及びアンドープGaN層15に開口部a4を形成する。その後、用いたマスクを除去する。ここで、ドライエッチングする際のエッチングガスとしては例えれば塩素系のガスを用いる。また、マスクとしてはドライエッチングに対してエッチングされにくい材料であることが望ましく、SiO<sub>2</sub>等の誘電体膜又はNi等よりなる金属膜であれば良い。また、レジストを用いる場合は、膜厚が厚いレジストを用いることが望ましい。

## 【0093】

次に、図4(c)に示すように、EB蒸着により、試料表面の全面に、Auメッキの下地膜6としてTi/Auよりなる積層膜を形成した後、該下地膜6の上に膜厚が30μmとなるようにAuメッキ7を形成する。ここで、後工程において、薄膜であるn型GaN

層14からサファイア基板1を除去する際、A<sub>0</sub>メッキ7はn型GaN層14の保持材として作用する。

## 【0094】

次に、図4(d)に示すように、n型GaN層14からサファイア基板1を除去する。サファイア基板1を除去する方法としては、研磨法又はレーザリフトオフ法(ULLO法)等がある。サファイア基板1は非常に強固であるので、研磨法を用いてサファイア基板1を除去する場合には、長時間を要すると共に制御が困難であるので、本実施形態では、レーザリフトオフ法を用いてサファイア基板1を除去している。具体的には、サファイア基板1におけるn型GaN層14が形成されている側の面とは反対の面側から、サファイア基板1に対してYAGレーザの照射を行なうことにより、n型GaN層14におけるサファイア基板1との界面近傍部を熱により分解させて、n型GaN層14とサファイア基板1との分離を行なう。なお、レーザリフトオフ後には、n型GaN層14における界面近傍に分解されたGaN金屬が付着するので、塩酸で除去を行なう。このように、レーザリフトオフによってサファイア基板1を分離する前にドライエッティングを行なうことにより、1素子分のn型GaN層14からレーザリフトオフによりサファイア基板1を分離するため、第2の実施形態と同様に、レーザ照射条件のマージンを大きくとることが可能となるので、歩留まりを向上させることができる。

## 【0095】

次に、図4(e)に示すように、リフトオフ法により、n型GaN層14におけるサファイア基板1が分離されて剥き出しなっている面上に、例えばTi/A<sub>1</sub>の積層膜よりなるソース電極16及びドレイン電極17と、例えばP<sub>0</sub>/Auの積層膜よりなるゲート電極18とを形成する。ここで、高周波特性を向上させるためには、ゲート長は短ゲート長化が必要であり、0.1μm以下とすることが望ましい。

## 【0096】

次に、図4(f)に示すように、ソース電極16、ドレイン電極17、及びゲート電極18を覆うようにレジストマスク10を形成した後、該レジストマスク10にチップ分離領域の一部を開口させるような開口部14を形成する。次に、A<sub>0</sub>メッキ7における窒化物半導体層が形成されている側の面とは反対の面上に、接着性を有するシート11を貼りつける。

## 【0097】

次に、図4(g)に示すように、HFを用いて、開口部14の内部に形成されている下地膜6を構成するTi膜を除去した後、ヨードを用いて、下地膜6を構成するAu及び該Auの下側に位置するAuメッキ7をウェットエッティングすることにより、窒化物半導体層を含んでなる2つのチップに分離する。その後、レジストマスク10を例えば有機洗浄で除去することにより、電界効果トランジスタを作製することができる。

## 【0098】

以上のように、本発明の第4の実施形態に係る半導体素子の製造方法によると、保持材として、従来例と異なり完全に剥がったA<sub>0</sub>メッキを用いると共に、素子分離として、劈開を行なうのではなくA<sub>0</sub>メッキをウェットエッティングで除去することにより行なう。このため、従来例に示したように、劈開を行なう場合であれば、膜厚が薄い窒化物半導体層が自然に剥れてしまったり又はメッキ層が剥がったままの状態になって素子分離がなされないという問題が生じていたが、本実施形態によると、これらの問題を解決することができ、歩留まりを向上させることができる。また、Auメッキをエッティングする際には、窒化物半導体層上にレジストパターンを形成してバーニングを行ない、窒化物半導体層におけるサファイア基板が形成されていた面側からA<sub>0</sub>メッキのエッティングを行なう。このため、従来例に示したように、Auメッキの上にレジストパターンを形成する場合であればマスク合わせが困難であったが、本実施形態によると、マスク合わせが容易になるので、歩留まりを向上させることができる。さらに、レーザリフトオフを行なう際には、窒化物半導体層自体はドライエッティングによって1デバイス分のサイズに分割されているので、レーザリフトオフ時にウェハが割れる恐れを防止でき、歩留まりを向上させることができ

きる。

#### 【0099】

このように、歩留まりに優れた電界効果トランジスタを作製することが可能となる。また、作製されたデバイスは膜厚が30μmという薄膜のAuメッキを介して放熱されるので、放熱性にも非常に優れている。

#### 【0100】

なお、本実施形態では、サファイア基板1の上にGaN層を成長させる場合について説明したが、基板及び成長層共にその他の材料よりなる半導体であっても同様に適用可能である。

#### 【0101】

##### (第5の実施形態)

以下に、本発明の第5の実施形態に係る半導体素子の製造方法について、具体的には、窒化物半導体よりなる青色面発光素子の製造方法を一例として、図5(a)～(g)及び図6(a)及び(b)を参照しながら説明する。なお、図5(a)～(g)及び図6(a)及び(b)では、前述の図面において示された構成部分と対応する部分には、同一の符号を付している。

#### 【0102】

まず、図5(a)に示される工程断面図までの工程は、前述の第2の実施形態における図2(a)～(c)を用いた説明と同様である。

#### 【0103】

次に、図5(b)に示すように、EB蒸着により、試料表面の全面に、Auメッキの下地膜6としてTi/Auよりなる積層膜を形成した後、該下地膜6の上に膜厚が10μmとなるようにAuメッキ7を形成する。次に、Auメッキ7の上に、Si基板19を張り合わせる。ここで、Si基板19を張り合わせるのは、後工程においてレーザリフトオフを行なった後の薄膜である窒化物半導体層に対する保持力を高める目的である。また、Si基板19は、Auメッキ7を介さずに窒化物半導体層に張り合わせる方法も考えられるが、そうすると、Si基板19に存在する歪が窒化物半導体層に加わって、デバイスの特性が劣化するという懸念がある。そこで、本実施形態では、Si基板19をAuメッキ7の上に張り合わせている。この場合には、Auメッキ7はSi基板19を貼り合わせる際の緩衝材として機能すれば十分であるので、膜厚は薄膜でよく、本実施形態では10μmとしている。また、ここでは、Si基板19を張り合わせる場合について説明しているが、劈開性があると共に放熱性に優れている基板であることが望ましく、Si基板の他に、例えばSiC又はGaN等よりなる基板が望ましい。

#### 【0104】

次に、図5(c)に示すように、n型GaN層2からサファイア基板1を除去する。サファイア基板1を除去する方法としては、研磨法又はレーザリフトオフ法(LLFO法)等がある。サファイア基板1は非常に強固であるので、研磨法を用いてサファイア基板1を除去する場合には長時間を要すると共に制御が困難であるので、本実施形態では、レーザリフトオフ法を用いてサファイア基板1を除去している。具体的には、サファイア基板1におけるn型GaN層2が形成されている側の面とは反対側の面側から、サファイア基板1に対してYAGレーザの照射を行なうことにより、n型GaN層2におけるサファイア基板1との界面近傍部を熱により分解させて、n型GaN層2とサファイア基板1との分離を行なう。なお、レーザリフトオフ後には、n型GaN層2における界面近傍に分解されたGaN金属が付着するので、塩酸で除去を行なう。このように、レーザリフトオフによってサファイア基板1を分離する前にドライエッティングを行なうことにより、1素子分のn型層2をからレーザリフトオフによりサファイア基板1を分離するため、第2の実施形態と同様に、レーザ照射条件のマージンを大きくとることが可能となるので、歩留まりを向上させることができる。また、レーザリフトオフ後の表面は荒れているので、表面が平坦である場合よりもLEDの光取り出し効率が向上する。また、光取り出し効率をより高める目的で、更に表面を荒らしてもよい。

## 【0105】

次に、図5 (d) に示すように、EB蒸着により、n型GaN層2におけるサファイア基板1が分離されて剥き出しになっている面上に、n型電極9としてTi/Auよりなる積層膜を形成した後、窒素雰囲気中、600°Cでシンクを行なう。なお、図5 (a)～(c) と図5 (d) とでは、図面の上下方向を反対にして示している。また、後述する図5 (e)～(g) も同様である。

## 【0106】

次に、図5 (e) に示すように、n型電極9を覆うようにレジストマスク10を形成した後、該レジストマスク10にチップ分離領域の一部を開口させるような開口部a2を形成する。

## 【0107】

次に、図5 (f) に示すように、BHFを用いて、開口部a2の下側に形成されているバッシベーション膜8と下地膜6を構成するTi膜とを除去した後、ヨードを用いて、下地膜6を構成するAuと該Auの下側に位置するAuメッキ7とをウェットエッチングにより除去する。ここで、Auメッキ7を除去するのは、後工程で行なう劈開の際にAuメッキ7が分離されおらずに繋がったままの状態であると、劈開が容易に行なうことができない場合があるからである。その後、レジストマスク10を例えれば有機洗浄で除去する。

## 【0108】

次に、図5 (g) に示すように、Si基板19を膜厚が120μmとなるまで研磨した後、Si基板19を劈開して、窒化物半導体層を含んでなる2つのチップに分離することにより、青色LEDを作製することができる。

## 【0109】

ここで、本実施形態に係る半導体素子の製造方法に関して、歩留まりをより向上させる方法について、図6 (a) 及び (b) を参照しながら説明する。

## 【0110】

なお、図6 (a) に示すまでの工程は、前述の図5 (a)～(e) を用いた説明と同様である。

## 【0111】

まず、図6 (a) に示すように、前述の図5 (f) を用いた説明と同様に、Auメッキ7を除去した後に、図6 (b) に示すように、Auメッキ7が除去されて露出したSi基板19に対してウェットエッチングを行なうことにより、Si基板19に溝20を形成する。このように、溝20を形成することにより、Si基板19の劈開は溝20に沿って起きるので、劈開の位置がずれることによって歩留まりの低下を防止することができる。その後、レジストマスク10を例えれば有機洗浄で除去するのは、前述した工程と同様である。

## 【0112】

以上のように、本発明の第4の実施形態に係る半導体素子の製造方法によると、劈開を行なう前にAuメッキをウェットエッチングで除去しているため、自然に割れたり、素子分離ができない等を防止して所望の劈開を行なうことができるので、歩留まりを向上させることができる。また、Auメッキをエッチングする際には、窒化物半導体層上にレジストパターンを形成してバーニングを行ない、窒化物半導体層におけるサファイア基板が形成されていた面側からAuメッキのエッチングを行なう。このため、従来例に示したように、Auメッキの上にレジストパターンを形成する場合であればマスク合わせが困難であったが、本実施形態によると、マスク合わせが容易になるので、歩留まりを向上させることができる。さらに、レーザリフトオフを行なう際には、窒化物半導体層自体はドライエッチングによって1デバイス分のサイズに分割されているので、レーザリフトオフ時にウェハが割れる恐れを防止でき、歩留まりを向上させることができる。

## 【0113】

さらに、本実施形態では、Auメッキ上にSi基板を張り合わせているため、レーザリ

フトオフ後の薄膜の窒化物半導体層に対する保持力が大きくなるので、歩留まりを向上させることができる。また、作製されたデバイスがSi基板上に形成されているので、実装の際にヒートシンクを取り付ける必要がなくなり、実装工程を簡素化することができる。

## 【0114】

このように、歩留まりに優れた青色LEDを作製することが可能となる。また、作製されたデバイスは膜厚が30μmという薄膜のAuメッキを介して放熱されるので、放熱性にも非常に優れている。

## 【0115】

なお、本実施形態では、サファイア基板上にGaN層を成長させる場合について説明したが、基板及び成長層共にその他の材料よりなる半導体であっても同様に適用可能である。

## 【産業上の利用可能性】

## 【0116】

本発明は、窒化物半導体よりなる半導体素子の製造方法に有用である。

## 【図面の簡単な説明】

## 【0117】

【図1】(a)～(h)は、本発明の第1の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図2】(a)～(h)は、本発明の第2の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図3】(a)～(i)は、本発明の第3の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図4】(a)～(g)は、本発明の第4の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図5】(a)～(g)は、本発明の第5の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図6】(a)及び(b)は、本発明の第6の実施形態に係る半導体素子の製造方法を示す要部工程断面図である。

【図7】(a)～(f)は、第1の従来例に係る半導体素子の製造方法を示す要部工程断面図である。

【図8】(a)～(f)は、第2の従来例に係る半導体素子の製造方法を示す要部工程断面図である。

## 【符号の説明】

## 【0118】

1 サファイア基板

2 GaN層

2a n型層

3 活性層

4 p型GaN層

4a p型層

5 p型コンタクト電極

6 下地膜

7 Auメッキ

8 パッシベーション膜

9 n型電極

10 レジストマスク

11 シート

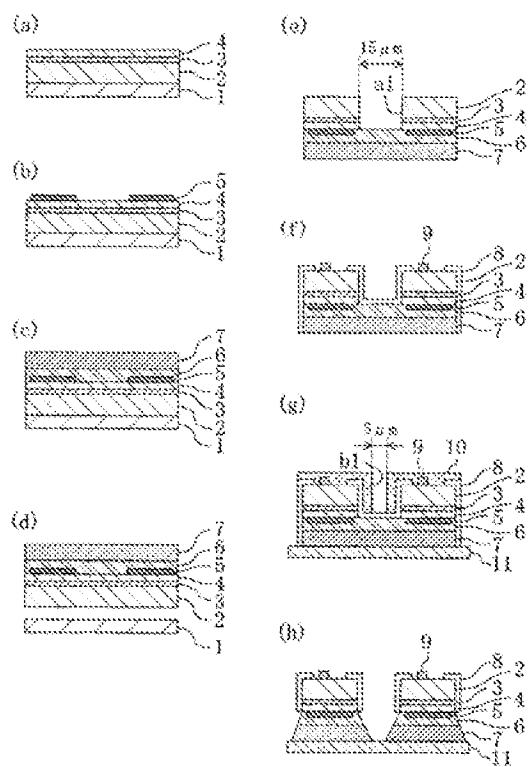
12、13 誘電体DBRミラー

14 n型GaN層

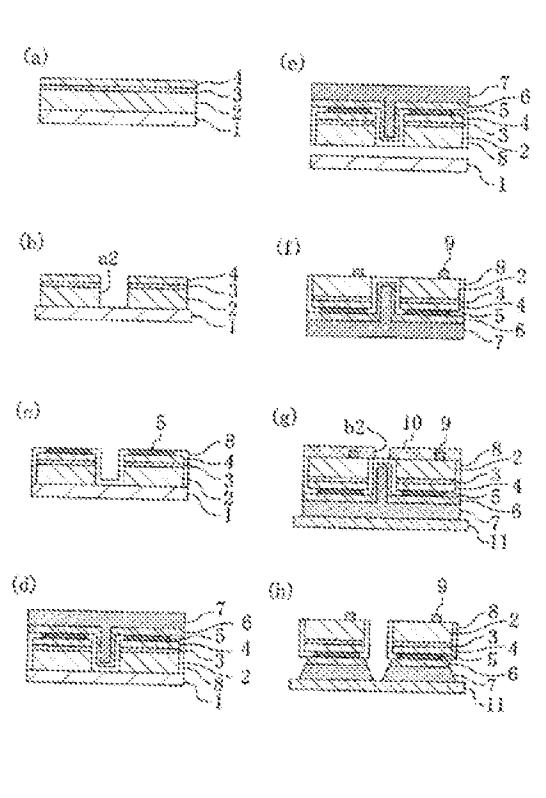
15 アンドープGaN層

1.6 ソース電極  
 1.7 ドレイン電極  
 1.8 ゲート電極  
 1.9 S1基板  
 a1、a2、a3、a4、b1、b2、b3、b4 開口部

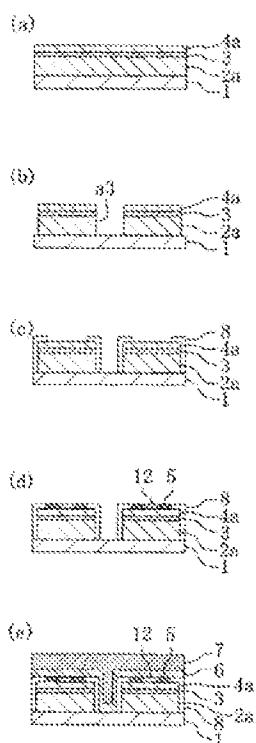
【図1】



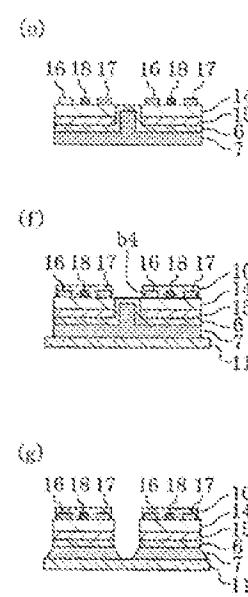
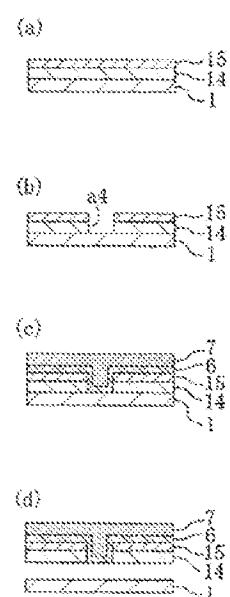
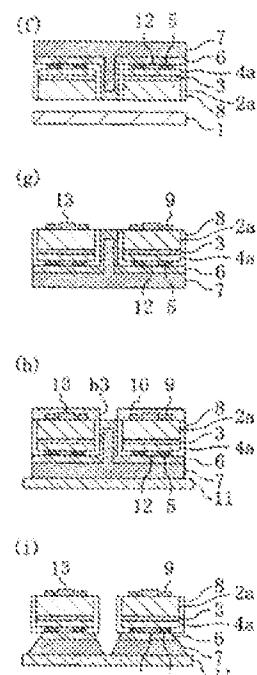
【図2】



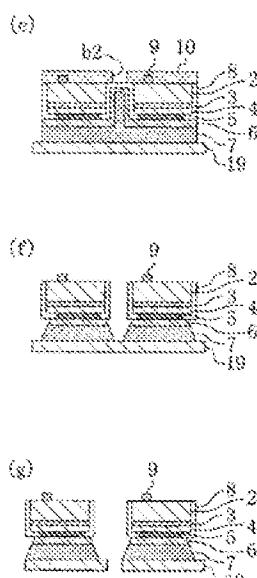
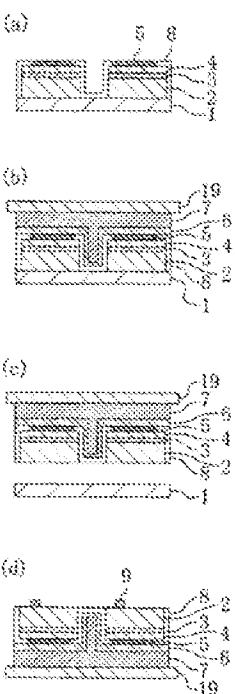
【図3】



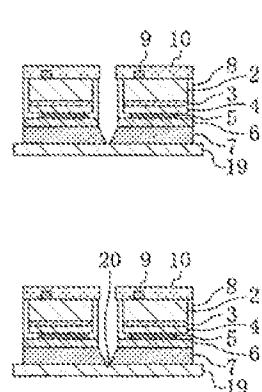
【図4】



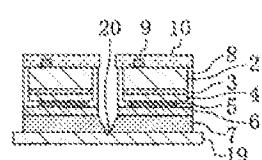
【図5】



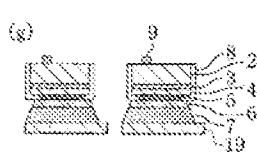
【図6】



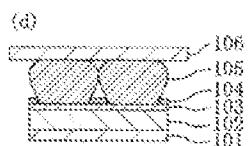
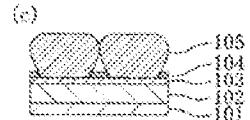
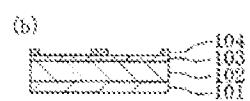
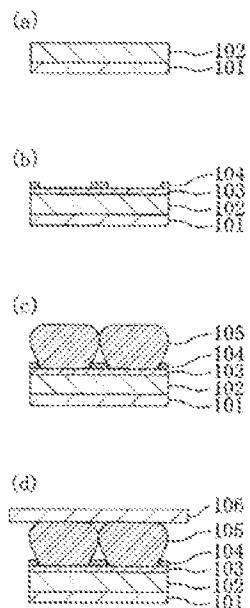
(b)



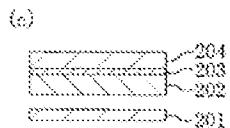
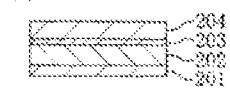
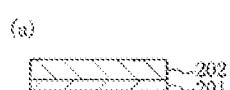
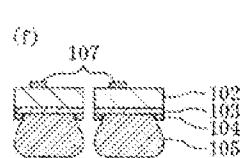
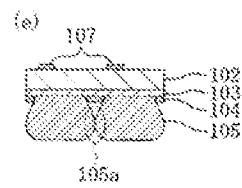
(b)



【図7】



【図8】



(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 寛也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(72)発明者 田村 聰之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 上田 哲三

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F041 AA41 CA05 CA12 CA40 CA77 CA85 CA92 CA98